

INTEGRATED CIRCUIT DEVICE

Patent Number: JP62119952

Publication date: 1987-06-01

Inventor(s): MITANI HITOSHI

Applicant(s): NEC CORP

Requested Patent: ☐ JP62119952

Application Number: JP19850259972 19851119

Priority Number(s):

IPC Classification: H01L25/04

EC Classification:

Equivalents:

Abstract

PURPOSE:To realize a device occupying but a small area by a method wherein an IC is installed on a lead frame and wiring is accomplished between them, another IC is installed on another lead frame and wiring is accomplished between them, the two lead frames are connected with each other, and the entirety is sealed in resin.

CONSTITUTION:An IC element 1 is installed on a first island 4 and connection is made to a lead frame 3 by a bonding wire 7. Next, an IC element 2 is installed on a second island 6 and connection is made to a lead frame 5 by a bonding wire 7. Finally, the lead frames 3 and 5 are connected and sealing is accomplished in resin 8 for the completion of the device. Another method may be employed wherewith IC elements are housed in ceramic packages instead of resin for the realization of a laminate of packages. A plurality of IC elements may be installed on a single lead frame.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭62-119952

⑬ Int.Cl.⁴

H 01 L 25/04

識別記号

庁内整理番号

7638-5F

⑭ 公開 昭和62年(1987)6月1日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 集積回路装置

⑯ 特 願 昭60-259972

⑰ 出 願 昭60(1985)11月19日

⑱ 発 明 者 三 谷 仁 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

- (1) 集積回路素子が載置され、かつ、結線されたリードフレームを2段に重ね、さらに、前記上下のリードフレームが互いに接続され、樹脂で封止されてなることを特徴とする集積回路装置。
- (2) 上記上下のリードフレームの少くとも一方のリードフレームには、複数の集積回路素子が載置されていることを特徴とする特許請求の範囲第1項に記載の集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は複数の集積回路素子を1つのパッケージ内に収納した集積回路装置に関する。

〔従来の技術〕

第4図(a)は、一つのリードフレームに複数の集積回路素子を載置し結線した樹脂封止前の従来の集積回路装置の平面図、同図(b)は同図(a)図のA-A断面図である。これらの図において、リードフレームのアイランド14に集積回路素子11,12をマウントし、ボンディングワイヤ7で、リード17と集積回路素子11,12とを電気的に接続したものである。

〔発明が解決しようとする問題点〕

上述した従来の集積回路装置は、複数の集積回路素子を同一パッケージ内に収納する場合、占有面積が増大する欠点がある。例えば、ある同一機能をもつ2個の集積回路素子を第4図の様に平面的に配置し、各々の素子の選択は、各々に選択信号を加えて各集積回路素子を使用する場合や、異なる機能の素子を複数個実装し、1個の集積回路装置として利用する場合など、素子の占有面積やパッケージの容積等が限定されていれば、それらの収納は非常に困難となる欠点がある。

〔問題点を解決するための手段〕

本発明の集積回路装置は、集積回路素子が載置され結線された第1のリードフレーム上に、別の集積回路素子が載置され結線された第2のリードフレームが配置され、第1と第2のリードフレームは電気的に接続され、そしてこれらは樹脂で一体に封止されているのである。

(実施例)

本発明について図面を参照して説明する。第1図は本発明の、第1の実施例の断面図を示したものである。図に於いて、1, 2は第1及び第2の集積回路素子であり、3, 5は第1及び第2のリードフレーム、4, 6は第1及び第2のリードフレームのアイランド、7はボンディングワイヤ、8は樹脂部である。

本発明の集積回路装置を得る為には、まず、第1のアイランド4に第1の集積回路素子1をマウントし、ボンディングワイヤ7にて第1のリードフレーム3と第1の集積回路素子1とを電気的に接続する。次に第2のアイランド6に第2の集積回路素子2をマウントし、ボンディングワイヤ7

にて第2のリードフレーム5と第2の集積回路素子2とを電気的に接続する。最後に第1のリードフレーム3と第2のリードフレーム5とを熱的又は機械的に接続した後、樹脂8にて封止する事により本集積回路装置を得る事ができる。

第2図は本発明の第2の実施例の断面図を示したものである。図に於いて、11, 12は下段側の集積回路素子であり、21, 22は上段側の集積回路素子である。13, 15は下段と上段のリードフレーム、14, 15は下段と上段のリードフレームのアイランド、7はボンディングワイヤ、18は樹脂部である。図に示す通り、第2の実施例は、下段と上段のリードフレーム上の集積回路素子を複数設けたものである。尚、第2の実施例の集積回路装置を得るための方法については、第1の実施例と同一方法で得られる。

第3図は耐湿性及び熱に対する動作特性の向上を図って、セラミックパッケージに本発明を応用した応用例の断面図である。図に於いて、1, 2は第1及び第2の集積回路素子であり、34, 37

は第1及び第2のアイランド部、33, 36はセラミックパッケージの基底部、35, 38は第1及び第2のリード部、7はボンディングワイヤ、39はセラミックパッケージのキャップである。

この応用例を得る為の方法について説明する。まず第1のセラミックパッケージ基底部33のアイランド部34に第1の集積回路素子1をマウントし、ワイヤボンディングを行う。次に第2のセラミックパッケージ基底部36のアイランド部37に第2の集積回路素子2をマウントし、ワイヤボンディングを行なう。最後に、セラミックパッケージの基底部33と36を重ねて封止し、基底部36にキャップ39で蓋をし封じる事により、製品が得られる。

(発明の効果)

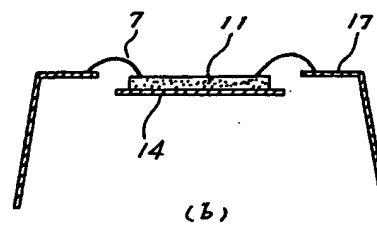
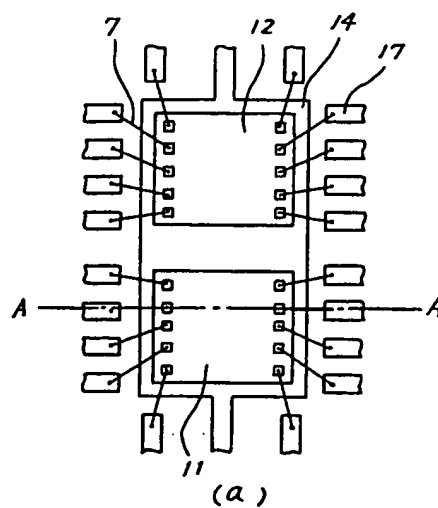
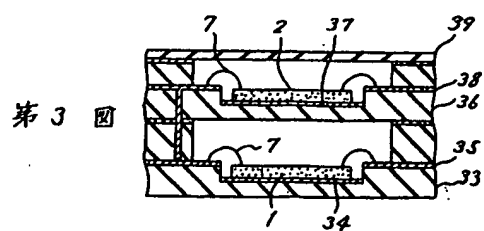
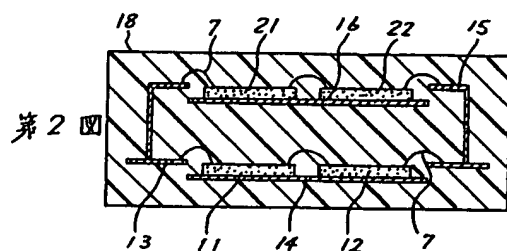
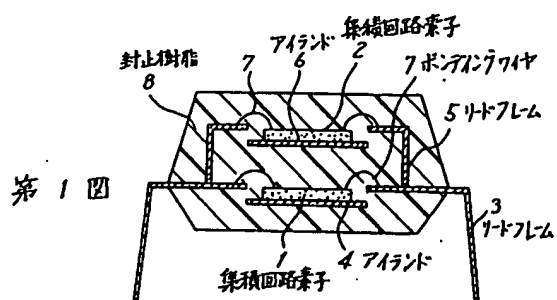
以上説明した様に本発明は、従来技術を使って容易に実現する事が可能であり、しかも、複数の集積回路素子を同一パッケージ内に収納する場合の占有面積の増加を半分以下におさえる事ができる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例の断面図、第2図は本発明の第2の実施例の断面図、第3図は本発明をセラミックパッケージに応用した一応用例の断面図、第4図(a)は従来の集積回路装置の樹脂封止前の平面図、同図(b)は同図(a)のA-A断面図である。

1, 2, 11, 12, 21, 22 ……集積回路素子、3, 5, 13, 15 ……リードフレーム、4, 6, 14, 16 ……アイランド、7 ……ボンディングワイヤ、8, 18 ……封止樹脂、33, 36 ……セラミックパッケージ基底部、34, 37 ……アイランド部、35, 38 ……リード部、39 ……キャップ。

代理人 弁理士 内 原 哲



第 4 圖